

Durcissement automatique de circuits spécifiés en VHDL comportemental

Description :

L'évolution des technologies dans le domaine "submicronique profond" (dimensions inférieures à 0,18 micron) s'accompagne d'une forte diminution des capacités de stockage sur les différents nœuds internes et d'une forte diminution des tensions d'alimentation. Ceci se traduit par un fort accroissement de la sensibilité des circuits à différents parasites (rayonnements ou particules, même au niveau de la mer). La probabilité de fautes transitoires perturbant le fonctionnement des circuits tend donc à devenir inacceptable, même dans des applications grand public. C'est le cas en particulier pour les fautes de type SEU ("Single Event Upset"), correspondant à la commutation erronée d'un point mémoire ou d'un signal, qui n'étaient jusqu'ici prises en compte que dans des domaines particuliers (spatial ou nucléaire).

Des dispositifs de protection sont classiquement intégrés dans les circuits destinés aux applications critiques, permettant soit la réalisation d'un test en ligne (détection d'une erreur survenant pendant le fonctionnement de l'application), soit la tolérance de certaines fautes (maintien du comportement nominal en présence de ces fautes). De tels dispositifs vont devenir à brève échéance incontournables dans un nombre croissant de circuits ; l'automatisation de leur implantation devient donc indispensable pour éviter une augmentation inacceptable des temps de conception.

L'objectif du travail est d'automatiser l'insertion de certains types de dispositifs de détection ou de tolérance, relativement tôt dans le processus de conception. L'insertion sera donc réalisée directement dans la description en langage de haut niveau, utilisée pour spécifier puis synthétiser le circuit (génération d'une spécification VHDL "durcie"). Les dispositifs insérés devront permettre une protection efficace contre les SEUs tout en limitant les surcoûts de l'implantation. Les principales étapes du travail seront :

- participation à la définition et à l'optimisation des modifications à apporter à "haut niveau" à une description VHDL synthétisable, sur la base d'approches préalablement définies et validées,
- spécification, développement et validation d'un outil permettant d'automatiser les modifications,
- application de l'approche développée sur des exemples significatifs (cœurs de microprocesseurs 8051 et Sparc v8).

Compétences requises :

Le candidat devra avoir de bonnes connaissances en programmation en C. Des bases en conception de circuits et en VHDL seraient souhaitables.

Contact (par E-mail de préférence, avec CV joint) :

Régis LEVEUGLE

TIMA

46, av. Félix Viallet

38031 Grenoble Cedex

e-mail : Regis.Leveugle@imag.fr

Tél : 04.76.57.46.86 Fax : 04.76.47.38.14

Interface Web pour un environnement de conception de circuits

Description :

L'évolution des environnements de conception de circuits inclut la possibilité de travailler à distance sur une machine ne disposant pas des ressources (en puissance ou en outils) nécessaires au travail à effectuer. Ceci est possible par l'intermédiaire d'une interface accessible sur Internet et exploitée dans un butineur (ou "browser"). Selon la complexité des tâches à réaliser en local, un applet Java peut être exploité sur la page affichée par le client.

Ce stage s'inscrit dans le cadre du développement d'un environnement de conception permettant d'analyser la sûreté de fonctionnement d'un circuit intégré, problème recevant une attention croissante à cause d'une part des évolutions technologiques et d'autre part de l'utilisation de plus en plus généralisée des circuits complexes.

Le travail dans le cadre du stage sera focalisé sur l'utilisation de l'environnement de conception par l'intermédiaire d'un butineur, dans l'optique de permettre un travail à distance via Internet. L'objectif sera de faciliter l'accès à distance tout en répartissant de façon optimisée les tâches exécutées en local et celles exécutées sur le serveur. Une démonstration viendra conclure le travail en utilisant l'environnement de conception en cours de développement. L'étude et les éléments développés devront toutefois être suffisamment généraux et évolutifs pour pouvoir être ré-utilisés pour d'autres environnements de conception. Les principales étapes du travail seront :

- étude de l'environnement de développement et du flot de conception associé,
- définition et présentation des caractéristiques générales d'un Applet Java,
- proposition d'implémentation d'une interface Web pour l'environnement d'analyse de sûreté,
- développement et validation d'un démonstrateur incluant l'interface proposée,
- conclusions sur les apports d'un applet Java par rapport à une page Web simplifiée.

Compétences requises :

Le candidat devra avoir de bonnes connaissances en programmation en Java, et dans la création d'applets Java. Des bases en conception de circuits et en VHDL seraient souhaitables.

Contact (par E-mail de préférence, avec CV joint) :

Régis LEVEUGLE

TIMA

46, av. Félix Viallet

38031 Grenoble Cedex

e-mail : Regis.Leveugle@imag.fr

Tél : 04.76.57.46.86 Fax : 04.76.47.38.14